

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-132975

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

G11C 11/413
G11C 11/417
G11C 11/401
H01L 21/82
H01L 27/04
H01L 21/822
H01L 27/10

(21)Application number : 11-033864

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 12.02.1999

(72)Inventor : HIDA YOICHI

(30)Priority

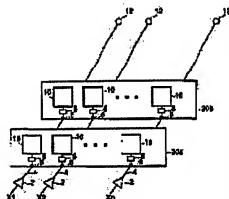
Priority number : 10235374 Priority date : 21.08.1998 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MEMORY MODULE PROVIDED WITH THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory module suppressing the waveform distortion of a transmission line to be small.

SOLUTION: An FET(field effect transistor) switch circuit 8 is installed on a memory module 20a. The FET switch circuit 8 is connected between a terminal 6 receiving the signal of a transmission line 4 and a semiconductor storage device 10 and it is set to a non-conduction state when the semiconductor storage device 10 is not accessed. The gate potential of the FET switch circuit 8 is driven by boosting potential and it is preferably set to negative potential compared to ground potential. Thus, the parasitic capacity of the transmission line can be reduced.



LEGAL STATUS

[Date of request for examination]

26.01.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-132975
(P2000-132975A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl.	識別記号	F I		テコード* (参考)
G 1 1 C	11/413	G 1 1 C	11/34	3 3 5 A 5 B 0 1 5
	11/417	H 0 1 L	27/10	4 9 5 5 B 0 2 4
	11/401	G 1 1 C	11/34	3 0 5 5 F 0 3 8
H 0 1 L	21/82			3 7 1 K 5 F 0 6 4
	27/04	H 0 1 L	21/82	L 5 F 0 8 3

審査請求 未請求 請求項の数15 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平11-33864

(22) 出願日 平成11年2月12日 (1999.2.12)

(31) 優先権主張番号 特願平10-235374

(32) 優先日 平成10年8月21日 (1998.8.21)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

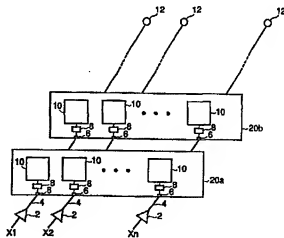
最終頁に続く

(54) 【発明の名称】 半導体装置およびそれを備えるメモリモジュール

(57) 【要約】

【課題】 伝送線路の波形歪みを小さく抑えることができるメモリモジュールを提供することである。

【解決手段】 メモリモジュール20a上にFETスイッチ回路8を設ける。FETスイッチ回路8は伝送線路4の信号を受ける端子6と半導体記憶装置10との間に接続され、半導体記憶装置10がアクセスされないときは非導通状態とされる。FETスイッチ回路8のゲート電位は昇圧電位で駆動され、好ましくはバックゲート電位は接地電位よりも負の電位とされる。したがって、伝送線路の寄生容量を小さくすることができる。



【特許請求の範囲】

【請求項1】 第1の入出力端子と、

第2の入出力端子と、

前記第1、第2の入出力端子間に接続されるMOSFETと、

第1の電源電位を受ける第1の電源端子と、

前記MOSFETのゲート電位として与えたとき前記第1の電源電位よりも前記MOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、

制御信号に応じて前記MOSFETのゲート電位を駆動するゲート電位駆動手段とを備え、

前記ゲート電位駆動手段は、前記ゲート電位の活性化電位を前記第1の電源電位から前記第2の電源電位に向かう方向の延長上に前記第2の電源電位から所定の電位差離れた第3の電位とし、前記ゲート電位の活性化電位と前記ゲート電位の非活性化電位との電位差が前記第1の電源電位と前記第2の電源電位との電位差である電源電圧よりも大きくなるように前記ゲート電位を駆動する、半導体装置。

【請求項2】 前記ゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、前記第1の電源電位および前記第2の電源電位を受けて前記第3の電位を前記クロック信号に応じて出力するチャージポンプ手段と、

前記第3の電位を受け、活性化レベルが前記第3の電位となる前記ゲート電位を駆動するゲート駆動信号を前記制御信号に応じて出力するレベル変換手段とを含む、請求項1に記載の半導体装置。

【請求項3】 前記MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段をさらに備え、前記バックゲート電位駆動手段は、前記第1の電源電位および前記第2の電源電位を受けて前記第2の電源電位から前記第1の電源電位に向かう方向の延長上に前記第1の電源電位から所定の電位差離れた第4の電位を前記バックゲート電位として出力する、請求項1に記載の半導体装置。

【請求項4】 第1の入出力端子と、

第2の入出力端子と、

前記第1、第2の入出力端子間に接続されるMOSFETと、

第1の電源電位を受ける第1の電源端子と、

前記MOSFETのゲート電位として与えたとき前記第1の電源電位よりも前記MOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、

前記MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段とを備え、

前記バックゲート電位駆動手段は、前記第1の電源電位および前記第2の電源電位を受けて前記第2の電源電位

から前記第1の電源電位に向かう方向の延長上に前記第1の電源電位から所定の電位差離れた第4の電位を前記バックゲート電位として出力する、半導体装置。

【請求項5】 前記バックゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、前記第1および第2の電源電位を受け、前記第4の電位を前記クロック信号に応じて出力するチャージポンプ手段とを含む、請求項4に記載の半導体装置。

【請求項6】 前記MOSFETはN型であり、前記第2の電源電位は、前記第1の電源電位より高い電源電位である、請求項1および4のいずれかに記載の半導体装置。

【請求項7】 前記MOSFETはP型であり、前記第2の電源電位は、前記第1の電源電位より低い電源電位である、請求項1および4のいずれかに記載の半導体装置。

【請求項8】 外部と信号の授受を行なう信号端子と、前記信号に応じてデータの記憶動作を行う半導体記憶装置と、

制御信号に応じて前記信号端子と前記半導体記憶装置とを電気的に接続する半導体装置と、

前記信号端子、前記半導体記憶装置および前記半導体装置を搭載する配線基板とを備え、

前記半導体装置は、

第1の入出力端子と、

第2の入出力端子と、

前記第1、第2の入出力端子間に接続されるMOSFETと、

第1の電源電位を受ける第1の電源端子と、

前記MOSFETのゲート電位として与えたとき前記第1の電源電位よりも前記MOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、

制御信号に応じて前記MOSFETのゲート電位を駆動するゲート電位駆動手段とを含む、

前記ゲート電位駆動手段は、前記ゲート電位の活性化電位を前記第1の電源電位から前記第2の電源電位に向かう方向の延長上に前記第2の電源電位から所定の電位差離れた第3の電位とし、前記ゲート電位の活性化電位と前記ゲート電位の非活性化電位との電位差が前記第1の電源電位と前記第2の電源電位との電位差である電源電圧よりも大きくなるように前記ゲート電位を駆動する、メモリモジュール。

【請求項9】 前記ゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、前記第1の電源電位および前記第2の電源電位を受けて前記第3の電位を前記クロック信号に応じて出力するチャージポンプ手段と、

前記第3の電位を受け、活性化レベルが前記第3の電位となる前記ゲート電位を駆動するゲート駆動信号を前記

制御信号に応じて出力するレベル変換手段とを有する。
請求項8に記載のメモリモジュール。

【請求項10】 外部と信号の授受を行なう信号端子と、
前記信号に応じてデータの記憶動作を行う半導体記憶装置と、
制御信号に応じて前記信号端子と前記半導体記憶装置とを電気的に接続する半導体装置と、
前記信号端子、前記半導体記憶装置および前記半導体装置を搭載する配線基板とを備え、
前記半導体装置は、
第1の入出力端子と、
第2の入出力端子と、
前記第1、第2の入出力端子間に接続されるMOSFETと、
第1の電源電位を受ける第1の電源端子と、
前記MOSFETのゲート電位として与えたとき前記第1の電源電位よりも前記MOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、
前記MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段とを含む、
前記バックゲート電位駆動手段は、前記第1の電源電位および前記第2の電源電位を受けて前記第2の電源電位から前記第1の電源電位に向かう方向の延長上に前記第1の電源電位から所定の電位差離れた第4の電位を前記バックゲート電位として出力する、メモリモジュール。
【請求項11】 前記バックゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、
前記第1および第2の電源電位を受け、前記第4の電位を前記クロック信号に応じて出力するチャージポンプ手段とを有する、請求項10に記載のメモリモジュール。
【請求項12】 第1の入出力端子と、
第2の入出力端子と、
前記第1、第2の入出力端子間に接続されるMOSFETと、
第1の電源電位を受ける第1の電源端子と、
前記MOSFETのゲート電位として与えたとき前記第1の電源電位よりも前記MOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、
前記MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段とを備え、
前記バックゲート電位駆動手段は、前記MOSFETが導通状態にあるときは、前記第1の電源電位および前記第2の電源電位を受けて前記第2の電源電位から前記第1の電源電位に向かう方向の延長上に前記第1の電源電位から所定の電位差離れた第4の電位を前記バックゲート電位として出力し、前記MOSFETが非導通状態にあるときは、前記第4の電位から前記第2の電源電位に

向かう方向にある第5の電位を前記バックゲート電位として出力する、半導体装置。

【請求項13】 前記バックゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、
前記第1および第2の電源電位を受け、前記第4の電位を前記クロック信号に応じて出力するチャージポンプ手段と、
前記MOSFETのゲート電位を制御する制御信号に応じて、前記第4の電位と前記第5の電位のいずれか一方を選択的に前記バックゲート電位として出力する電位駆動回路とを含む、請求項12に記載の半導体装置。
【請求項14】 外部と信号の授受を行なう信号端子と、
前記信号に応じてデータの記憶動作を行う半導体記憶装置と、
制御信号に応じて前記信号端子と前記半導体記憶装置とを電気的に接続する半導体装置と、
前記信号端子、前記半導体記憶装置および前記半導体装置を搭載する配線基板とを備え、
前記半導体装置は、
第1の入出力端子と、
第2の入出力端子と、
前記第1、第2の入出力端子間に接続されるMOSFETと、
第1の電源電位を受ける第1の電源端子と、
前記MOSFETのゲート電位として与えたとき前記第1の電源電位よりも前記MOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、
前記MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段とを含む、
前記バックゲート電位駆動手段は、前記MOSFETが導通状態にあるときは、前記第1の電源電位および前記第2の電源電位を受けて前記第2の電源電位から前記第1の電源電位に向かう方向の延長上に前記第1の電源電位から所定の電位差離れた第4の電位を前記バックゲート電位として出力し、前記MOSFETが非導通状態にあるときは、前記第4の電位から前記第2の電源電位に向かう方向にある第5の電位を前記バックゲート電位として出力する、メモリモジュール。
【請求項15】 前記バックゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、
前記第1および第2の電源電位を受け、前記第4の電位を前記クロック信号に応じて出力するチャージポンプ手段と、
前記MOSFETのゲート電位を制御する制御信号に応じて、前記第4の電位と前記第5の電位のいずれか一方を選択的に前記バックゲート電位として出力する電位駆動回路とを有する、請求項14に記載のメモリモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびそれを備えるメモリモジュールに関し、より特定的には、入力端子の寄生容量を小さくするための半導体装置およびそれを備えるメモリモジュールに関する。

【0002】

【従来の技術】半導体装置の高速化に伴い、半導体装置相互の間で授受される信号の速度も高速化される。特に、信号がデジタル信号である場合には信号の上上がり／立下がり時間が短くなる。

【0003】立上がり時間や立下がり時間が短くなると、半導体装置が搭載されるプリント基板上の信号に歪みが生じやすくなる。この歪みの例としては、オーバーシュート電圧やアンダーシュート電圧が大きくなる場合や、信号波形が所定のレベルまで上昇する際に波形が階段状になる場合がある。

【0004】オーバーシュート電圧やアンダーシュート電圧が大きくなると、それに伴って起こるリングングがその信号を受ける回路のしきい値を超えた場合、偽信号となりスプリアス（擬似）スイッチングを引き起こす。

【0005】たとえば、複数の半導体記憶装置が搭載されるメモリモジュールを複数個実装する場合には、通常は複数のメモリモジュールに共通して入力される信号のドライバ回路の出力インピーダンスとその信号が伝送される伝送線路の特性インピーダンス（Z0）とを整合させる。しかし、伝送線路の各メモリモジュールへの分岐線に付随する寄生容量およびインダクタンスによってドライバ回路と伝送線路の間でインピーダンスの不整合が生じ、信号の反射が起こり信号が歪む場合がある。寄生容量およびインダクタンスの値が大きい場合はその歪みがより大きくなる。また、同一伝送線路上に分岐が多い場合も歪みは大きくなる。

【0006】つまり、通常半導体記憶装置の入力は入力インピーダンスが高いMOSトランジスタのゲート電極に接続されており、高インピーダンス状態になっている。この状態は分岐点から入り分岐線の終端が開放状態になっていることを意味する。つまり、分岐点から半導体記憶装置に送られた信号は半導体記憶装置の入力端子で反射されることになり信号にオーバーシュートやアンダーシュートが生じやすくなる。

【0007】以上説明したように、高速で動作する通常のシステムでは、伝送線路の分岐部の寄生容量や寄生インダクタンスを抑制することが課題となっている。その1つの対策として、半導体記憶装置と伝送線路との間に電界効果トランジスタのスイッチ（以下FETスイッチ）を設けて寄生容量や寄生インダクタンスを抑制する方法が知られている。

【0008】図11は、従来のメモリモジュールの概略の構成を説明するための図である。図11を参照して、

メモリモジュール460は、外部の伝送線路に接続される信号の授受を行なう端子464と、半導体記憶装置10と、半導体記憶装置10と端子464との間に接続される制御信号Sに応じて端子464と半導体記憶装置10とを接続するFETスイッチ462とを備える。

【0009】FETスイッチ462は、ゲートに制御信号Sを受け半導体記憶装置10と端子464とを電氣的に接続するMOSFET466を含む。MOSFET466のゲートと入力端子464が接続されるノードNBとの間には寄生容量468が存在し、ノードNBと接地電位との間には寄生容量470が存在する。FETスイッチ462はノードNBの配線容量をできるだけ小さくするためにモジュールの端子464にできるだけ近い位置に設けられる。

【0010】

【発明が解決しようとする課題】図11で説明した従来のメモリモジュールにおいては、FETスイッチ462を設け半導体記憶装置10が伝送線路と信号を授受していない場合に端子464と半導体記憶装置10とをFETスイッチ462で分離することによって伝送線路上における信号の歪みを軽減される。しかし、寄生容量468、470が存在するため信号の歪みを十分に小さくすることができないという問題点がある。

【0011】図12は、MOSFETの断面を示す図である。図12を参照して、このMOSFETは、P型の基板472上に形成されるN⁺型不純物領域476、478と、不純物領域476、478に挟まれる領域の上部に形成されるゲート電極474とを含む。図12では、説明の便宜のため不純物領域476をソース（S）とし、不純物領域478をドレイン（D）としているが、不純物領域476、478の電位によりソースとドレインとは逆になる場合もある。不純物領域478がメモリモジュール外部に設けられる伝送線路に接続されるときに不純物領域478とゲート電極474との間には寄生容量468が存在し、不純物領域478と基板472の間には寄生容量470が存在する。

【0012】図13は、MOSFETの平面図を概略的に表わした図である。図12に示した寄生容量468は不純物領域478とゲート電極474とのオーバーラップ容量で形成されるため寄生容量468は、ゲート幅Wに比例する。また、寄生容量470は、不純物領域478と基板472間のPN接合容量で形成されるため、不純物領域478の面積W×Nに比例する。

【0013】したがって、ゲート幅Wを小さくすることができれば寄生容量468、470は小さくすることができる。

【0014】この発明の目的は、FETスイッチとして用いられるMOSFETの寄生容量を小さくすることにより伝送線路の信号の歪みをさらに軽減したメモリモジュールを提供することである。

【0015】

【課題を解決するための手段】請求項1に記載の半導体装置は、第1の入出力端子と、第2の入出力端子と、第1、第2の入出力端子間に接続されるMOSFETと、第1の電源電位を受ける第1の電源端子と、MOSFETのゲート電位として与えたと第1の電源電位よりもMOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、制御信号に応じてMOSFETのゲート電位を駆動するゲート電位駆動手段とを備え、ゲート電位駆動手段は、ゲート電位の活性化電位を第1の電源電位から第2の電源電位に向かう方向の延長上に第2の電源電位から所定の電位差離れた第3の電位とし、ゲート電位の活性化電位とゲート電位の非活性化電位との電位差が第1の電源電位と第2の電源電位との電位差である電源電圧よりも大きくなるようにゲート電位を駆動する。

【0016】請求項2に記載の半導体装置は、請求項1に記載の半導体装置の構成に加えて、ゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、第1の電源電位および第2の電源電位を受けて第3の電位をクロック信号に応じて出力するチャージポンプ手段と、第3の電位を受け、活性化レベルが第3の電位となるゲート電位を駆動するゲート駆動信号を制御信号に応じて出力するレベル変換手段とを含む。

【0017】請求項3に記載の半導体装置は、請求項1に記載の半導体装置の構成に加えて、MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段をさらに備え、バックゲート電位駆動手段は、第1の電源電位および第2の電源電位を受けて第2の電源電位から第1の電源電位に向かう方向の延長上に第1の電源電位から所定の電位差離れた第4の電位をバックゲート電位として出力する。

【0018】請求項4に記載の半導体装置は、第1の入出力端子と、第2の入出力端子と、第1、第2の入出力端子間に接続されるMOSFETと、第1の電源電位を受ける第1の電源端子と、MOSFETのゲート電位として与えたと第1の電源電位よりもMOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段とを備え、バックゲート電位駆動手段は、第1の電源電位および第2の電源電位を受けて第2の電源電位から第1の電源電位に向かう方向の延長上に第1の電源電位から所定の電位差離れた第4の電位をバックゲート電位として出力する。

【0019】請求項5に記載の半導体装置は、請求項4に記載の半導体装置の構成に加えて、バックゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、第1および第2の電源電位を受け、第4の電位をクロック信号に応じて出力するチャージポンプ手段とを含

む。

【0020】請求項6に記載の半導体装置は、請求項1および4のいずれかに記載の半導体装置の構成において、MOSFETはN型であり、第2の電源電位は、第1の電源電位より高い電源電位である。

【0021】請求項7に記載の半導体装置は、請求項1および4のいずれかに記載の半導体装置の構成において、MOSFETはP型であり、第2の電源電位は、第1の電源電位より低い電源電位である。

【0022】請求項8に記載のメモリモジュールは、外部と信号の授受を行なう信号端子と、信号に応じてデータの記憶動作を行う半導体記憶装置と、制御信号に応じて信号端子と半導体記憶装置とを電気的に接続する半導体装置と、信号端子、半導体記憶装置および半導体装置を搭載する配線基板とを備え、半導体装置は、第1の入出力端子と、第2の入出力端子と、第1、第2の入出力端子間に接続されるMOSFETと、第1の電源電位を受ける第1の電源端子と、MOSFETのゲート電位として与えたと第1の電源電位よりもMOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、制御信号に応じてMOSFETのゲート電位を駆動するゲート電位駆動手段とを含み、ゲート電位駆動手段は、ゲート電位の活性化電位を第1の電源電位から第2の電源電位に向かう方向の延長上に第2の電源電位から所定の電位差離れた第3の電位とし、ゲート電位の活性化電位とゲート電位の非活性化電位との電位差が第1の電源電位と第2の電源電位との電位差である電源電圧よりも大きくなるようにゲート電位を駆動する。

【0023】請求項9に記載のメモリモジュールは、請求項8に記載のメモリモジュールの構成に加えて、ゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、第1の電源電位および第2の電源電位を受けて第3の電位をクロック信号に応じて出力するチャージポンプ手段と、第3の電位を受け、活性化レベルが第3の電位となるゲート電位を駆動するゲート駆動信号を制御信号に応じて出力するレベル変換手段とを有する。

【0024】請求項10に記載のメモリモジュールは、外部と信号の授受を行なう信号端子と、信号に応じてデータの記憶動作を行う半導体記憶装置と、制御信号に応じて信号端子と半導体記憶装置とを電気的に接続する半導体装置と、信号端子、半導体記憶装置および半導体装置を搭載する配線基板とを備え、半導体装置は、第1の入出力端子と、第2の入出力端子と、第1、第2の入出力端子間に接続されるMOSFETと、第1の電源電位を受ける第1の電源端子と、MOSFETのゲート電位として与えたと第1の電源電位よりもMOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段とを含み、

バックゲート電位駆動手段は、第1の電源電位および第2の電源電位を受けて第2の電源電位から第1の電源電位に向かう方向の延長上に第1の電源電位から所定の電位差離れた第4の電位をバックゲート電位として出力する。

【0025】請求項1に記載のメモリモジュールは、請求項10に記載のメモリモジュールの構成に加えて、バックゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、第1および第2の電源電位を受け、第4の電位をクロック信号に応じて出力するチャージポンプ手段とを有する。

【0026】請求項12に記載の半導体記憶装置は、第1の入出力端子と、第2の入出力端子と、第1、第2の入出力端子間に接続されるMOSFETと、第1の電源電位を受ける第1の電源端子と、MOSFETのゲート電位として与えたと第1の電源電位よりもMOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段とを備え、バックゲート電位駆動手段は、MOSFETが導通状態にあるときは、第1の電源電位および第2の電源電位を受けて第2の電源電位から第1の電源電位に向かう方向の延長上に第1の電源電位から所定の電位差離れた第4の電位をバックゲート電位として出力し、MOSFETが非導通状態にあるときは、第4の電位から第2の電源電位に向かう方向にある第5の電位をバックゲート電位として出力する。

【0027】請求項13に記載の半導体記憶装置は、請求項12に記載の半導体記憶装置の構成に加えて、バックゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、第1および第2の電源電位を受け、第4の電位をクロック信号に応じて出力するチャージポンプ手段と、MOSFETのゲート電位を制御する制御信号に応じて、第4の電位と第5の電位のいずれか一方を選択的にバックゲート電位として出力する電位駆動回路とを含む。

【0028】請求項14に記載のメモリモジュールは、外部と信号の授受を行なう信号端子と、信号に応じてデータの記憶動作を行う半導体記憶装置と、制御信号に応じて信号端子と半導体記憶装置とを電気的に接続する半導体装置と、信号端子、半導体記憶装置および半導体装置を搭載する配線基板とを備え、半導体装置は、第1の入出力端子と、第2の入出力端子と、第1、第2の入出力端子間に接続されるMOSFETと、第1の電源電位を受ける第1の電源端子と、MOSFETのゲート電位として与えたと第1の電源電位よりもMOSFETのコンダクタンスを増加させる方向にある第2の電源電位を受ける第2の電源端子と、MOSFETのバックゲート電位を駆動するバックゲート電位駆動手段とを含み、バックゲート電位駆動手段は、MOSFETが導通状態

にあるときは、第1の電源電位および第2の電源電位を受けて第2の電源電位から第1の電源電位に向かう方向の延長上に第1の電源電位から所定の電位差離れた第4の電位をバックゲート電位として出力し、MOSFETが非導通状態にあるときは、第4の電位から第2の電源電位に向かう方向にある第5の電位をバックゲート電位として出力する。

【0029】請求項15に記載のメモリモジュールは、請求項14に記載のメモリモジュールの構成に加えて、バックゲート電位駆動手段は、クロック信号を発生するクロック発生手段と、第1および第2の電源電位を受け、第4の電位をクロック信号に応じて出力するチャージポンプ手段と、MOSFETのゲート電位を制御する制御信号に応じて、第4の電位と第5の電位のいずれか一方を選択的にバックゲート電位として出力する電位駆動回路とを有する。

【0030】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0031】【実施の形態1】図1は、本発明の半導体装置を備えるメモリモジュールの構成を説明するための図である。

【0032】図1では、複数の半導体記憶装置を搭載したメモリモジュールを複数個プリント基板に実装している場合を示す。

【0033】図1を参照して、プリント基板上に設けられるドライバ回路2は信号 $X_1 \sim X_n$ を受けて伝送線路4を駆動する。伝送線路4には複数のメモリモジュール20a、20bが電気的に接続されている。伝送線路4はドライバ回路2から終端点12までプリント基板上に設けられている配線である。メモリモジュールは端子6にて伝送線路4と接続されるが、ここには通常メモリモジュール20a、20bとプリント基板とを接続するためのコネクタ（図示せず）が設けられる。

【0034】メモリモジュール20aは、伝送線路4とデータを受受するための端子6と、半導体記憶装置10と、半導体記憶装置10と端子6とを所定の制御信号に応じて電気的に接続するFETスイッチ回路8とを備える。

【0035】このように、複数のメモリモジュールが搭載されたシステムにおいて、複数のメモリモジュールがすべて同時に動くのではなく、通常はそのうち1つのメモリモジュールが動作するので、動作していない他のメモリモジュールを電気的に分離することにより伝送線路から半導体記憶装置への分岐部の寄生容量や寄生インダクタンスを減らすことができる。

【0036】つまり、メモリモジュール20aが伝送線路4とデータとを授受する場合には、メモリモジュール20b上に設けられるFETスイッチ回路8は非導通状態

とされ、メモリモジュール20b上の伝送線路の分岐部の寄生容量や寄生インダクタンスが伝送線路4に与える影響を減らすことができる。

【0037】図2は、図1で示したFETスイッチ回路8の構成例を示す回路図である。図2を参照して、FETスイッチ回路8は、電源電位Vccおよび接地電位を受けて所定のクロック信号φを発生するリング発振回路22と、クロック信号φを受けて電源電位Vccからさらに昇圧された昇圧電位VPPを発生するチャージポンプ回路24と、制御信号Sを受けて活性化電位が昇圧電位VPPであるゲート駆動信号SGを発生するレベルシフト回路26と、ゲート駆動信号SGをゲートに受けてノードNAとノードNBとの間に接続されるMOSFET28を含む。

【0038】ノードNAは図1に示した端子6に接続され、ノードNBは半導体記憶装置10に接続される。

【0039】レベルシフト回路26は、制御信号Sをゲートに受けソースが接地電位に結合されたNチャネルMOSトランジスタ32と、制御信号Sを受けて反転するインバータ30と、インバータ30の出力をゲートに受けソースが接地電位に結合されたNチャネルMOSトランジスタ34と、ソースが昇圧電位VPPに結合されドレインがNチャネルMOSトランジスタ32のドレインと接続されゲートがNチャネルMOSトランジスタ34のドレインと接続されるPチャネルMOSトランジスタ36と、ソースが昇圧電位VPPに結合されドレインがNチャネルMOSトランジスタ34のドレインと接続されゲートがNチャネルMOSトランジスタ32のドレインと接続されるPチャネルMOSトランジスタ38を含む。NチャネルMOSトランジスタ34のドレインの電位は、ゲート制御信号SGとなる。

【0040】図2では、FETスイッチ回路がNチャネルMOSトランジスタ1つで構成される場合を例として示しているが、NチャネルMOSトランジスタの代わりにPチャネルMOSトランジスタを使用する場合も考えられる。PチャネルMOSトランジスタを使用する場合に、例えば、ゲート駆動信号は、NチャネルMOSトランジスタ34のドレインの電位を用いる代わりにNチャネルMOSトランジスタ32のドレインの電位を用いる。また、トランスミッションゲートなどによく使用されるように、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを両方組み合わせて用いてもよい。

【0041】図3は、図2におけるリング発振回路22の構成例を示す回路図である。図3を参照して、リング発振回路22は、電源電位Vccが立上った後に解除されるリセット信号ZPORを受ける偶数段の直列に接続されたインバータ44～50と、インバータ50の出力を反転してクロック信号φを出力するインバータ52

を含む。インバータ50の出力はNAND回路42の入力にフィードバックされる。

【0042】偶数段の直列に接続されたインバータ44～50の段数は必要なクロック信号φの周波数に応じて増減される。

【0043】図4は、図2におけるチャージポンプ回路24の構成例を示す回路図である。図4を参照して、チャージポンプ回路24は、アノードが電源電位Vccに結合されカソードがノードN1に接続されるダイオード101と、アノードとカソードとがそれぞれノードN1、N2に接続されるダイオード102と、アノードとカソードとがそれぞれノードN2、N3に接続されるダイオード103と、アノードとカソードとがそれぞれノードN3、N4に接続されるダイオード104と、アノードとカソードとがそれぞれノードN4、N5に接続されるダイオード105と、アノードとカソードとがそれぞれノードN5、N6に接続されるダイオード106と、アノードとカソードとがそれぞれノードN6、NPに接続されるダイオード107を含む。ここでノードNPはチャージポンプ回路の出力ノードであり、出力電位である昇圧電位VPPがノードNPから出力される。

【0044】チャージポンプ回路24は、さらに、クロック信号φが与えられるクロックノードとノードN1との間に接続されるキャパシタ140と、クロック信号φと相補なクロック信号φが与えられる相補クロックノードとノードN2との間に接続されるキャパシタ141と、クロックノードとノードN3との間に接続されるキャパシタ142と、相補クロックノードとノードN4との間に接続されるキャパシタ143と、クロックノードとノードN5との間に接続されるキャパシタ144と、相補クロックノードとノードN6との間に接続されるキャパシタ145を含む。

【0045】図4に示したダイオード101～107としては、たとえば、MOSトランジスタをダイオード接続したものを用いられる。

【0046】再び図2を参照して、MOSFET28が導通状態となるときにはそのゲート電極には電源電位Vccより高い電位である昇圧電位VPPが与えられる。

【0047】MOSFET28の導通時の導通抵抗の値は伝送線路とのインピーダンスマッチングをとるために通常は所定の値に設定される。このときMOSFETの導通抵抗は次の式で近似できる。

【0048】

$$R = \frac{1}{\beta} (V_G - V_S - V_{TH}) \quad \dots (1)$$

【0049】(1)式において、V_GはMOSFETのゲート電位、V_SはMOSFETのソース電位、V_{TH}はMOSFETのしきい値電圧である。また、(1)式

における β は次の式で表わされる。

【0050】

【数2】

$$\beta = \beta_0 \times \frac{W}{L} \quad \dots(2)$$

【0051】(2)式において、 β_0 はMOSFETの電流増幅係数、 W はMOSFETのゲート幅、 L はMOSFETのゲート長である。

【0052】(1)式において、伝送線路とのインピーダンスの整合をとるためMOSFETの抵抗 R を一定に保つとき、ゲート電位 V_G を電源電位 V_{cc} から昇圧電位 V_{PP} に変え、相当分 β が小さくできる。このことは、(2)式により、ゲート幅 W が小さくできることを意味する。

【0053】図12、図13で説明したように、ゲート幅 W を小さくすることができれば寄生容量468、470は小さくすることができる。

【0054】したがって、たとえば、接地電位を基準として昇圧電位 V_{PP} を電源電位 V_{cc} の1.5倍に設定すれば、応じてMOSFETのゲート幅 W が小さくでき、寄生容量468、470をそれぞれ1/1.5に減らすことができる。

【0055】以上説明したように、実施の形態1のメモリモジュールでは、FETスイッチ部のMOSFETのゲート幅を小さくすることにより寄生容量を小さくすることができるので、伝送線路における波形の歪みを従来より小さくすることができる。

【0056】【実施の形態2】図5は、実施の形態2のメモリモジュールにて用いられるFETスイッチ回路150の構成を示す回路図である。

【0057】図5を参照して、FETスイッチ回路150は、電源電位 V_{cc} と接地電位とを受けてクロック信号 ϕ を発生するリング振回路22と、クロック信号 ϕ に応じて接地電位から接地電位よりさらに低いバックゲート電位 V_{BB} を発生するチャージポンプ回路152と、制御信号 S を受けて反転するインバータ156と、インバータ156の出力信号をゲートに受けノードNAとノードNBとの間に接続されるバックゲートにバックゲート電位 V_{BB} が与えられたMOSFET154を含む。ここで、バックゲートとは、MOSFETのゲート電極とゲート酸化膜と隔てられているシリコン基板またはウエル領域をいい、トランジスタ導通時にはチャネルが形成される部分である。

【0058】図6は、図5におけるチャージポンプ回路152の構成例を示す回路図である。

【0059】図6を参照して、チャージポンプ回路152は、アノードがノードNNに接続されカソードがノードN10に接続されるダイオード201と、アノードとカソードとがそれぞれノードN10、N20に接続されるダイオード202と、アノードとカソードとがそれぞ

れノードN20、N30に接続されるダイオード203と、アノードとカソードとがそれぞれノードN30、N40に接続されるダイオード204と、アノードとカソードとがそれぞれノードN40、N50に接続されるダイオード205と、アノードとカソードとがそれぞれノードN50、N60に接続されるダイオード206と、アノードがノードN60に接続されカソードが接地ノードGNDと接続されるダイオード207とを含む。ここでノードNNはチャージポンプ回路の出力ノードであり、出力電位であるバックゲート電位 V_{BB} がノードNNから出力される。

【0060】チャージポンプ回路152は、さらに、クロック信号 ϕ が与えられるクロックノードとノードN10との間に接続されるキャパシタ240と、クロック信号 ϕ と相補なクロック信号 ϕ が与えられる相補クロックノードとノードN20との間に接続されるキャパシタ241と、クロックノードとノードN30との間に接続されるキャパシタ242と、相補クロックノードとノードN40との間に接続されるキャパシタ243と、クロックノードとノードN50との間に接続されるキャパシタ244と、相補クロックノードとノードN60との間に接続されるキャパシタ245とを含む。

【0061】図6に示したダイオード201～207としては、たとえば、MOSTランジスタをダイオード接続したものがよく用いられる。

【0062】再び図5を参照して、実施の形態2のFETスイッチ回路150に用いられるMOSFET154において、図12に示した接合容量470は近似的に次の式の接合容量 C_j として与えられる。

【0063】

【数3】

$$C_j = \frac{q\epsilon_0 N_a}{2(V_T + |V_{BB}|)} \quad \dots(3)$$

【0064】ここで、 q は電子の電荷量、 ϵ はシリコン基板の誘電率、 N_a は基板の不純物濃度、 V_T はPN接合ポテンシャルである。(3)式でわかるように、分母の括弧内がバックゲート電位 V_{BB} に依存して増えるので、バックゲート電位 V_{BB} を与えることにより、接合容量 C_j を小さくすることができる。

【0065】したがって、実施の形態2のメモリモジュールでは、バックゲート電位をMOSFETに与えることにより寄生容量を小さくすることができるため、伝送線路における波形の歪みを従来より小さくすることができる。

【0066】【実施の形態3】図7は、実施の形態3におけるメモリモジュールに用いられるFETスイッチ回路250の構成を示す回路図である。

【0067】図7では、モジュール基板上にFETスイッチ回路を搭載する領域の面積を小さくするために、4

個のMOSFETを1個の半導体装置に集積して搭載している例を示している。つまり、実施の形態3では、FETスイッチ回路250が端子4つに対して1つ設けられる点が実施の形態1における図1の場合と異なる。このように4つのFETスイッチを1つの半導体装置上に集積すればメモリモジュールを小型に作ることができる。この半導体装置が含むFETスイッチは4つに限定されるものではなくメモリモジュールが搭載する半導体記憶装置の使用数や半導体記憶装置の端子数によって必要に応じて増減される。

【0068】図7を参照して、FETスイッチ回路250は、クロック信号φを発生するリング発振回路22と、クロック信号φに応じて接地電位より負の一定電位であるバックゲート電位VBBを発生するチャージポンプ回路152と、クロック信号φに応じて電源電位Vccより高い昇圧電位VPPを発生するチャージポンプ回路24と、制御信号Sを受けて活性化時の電位が昇圧電位VPPであるゲート活性化信号SGを出力するレベルシフト回路26とを含む。

【0069】FETスイッチ回路250は、さらに、ノードA1、A2、A3、A4とノードB1、B2、B3、B4との間にそれぞれ接続され、ゲートにゲート駆動信号SGが接続され、バックゲートにバックゲート電位VBBが与えられるMOSFET252、254、256、258を含む。

【0070】このようなFETスイッチ回路250が集積された半導体装置は、図7に示した必要端子の数から、たとえば12個の外部端子を持つフラットパッケージ中に格納される。FETスイッチ回路250では、1個のリング発振回路22からのクロック信号φによりチャージポンプ回路24で昇圧電位VPPを発生し、チャージポンプ回路152でバックゲート電位VBBを発生するので、実施の形態1で示したゲート電位昇圧効果と、実施の形態2で示したバックゲートバイアス増大効果の両方でMOSFET252～258の寄生容量を低減することができる。

【0071】したがって、実施の形態3の半導体装置を備えるメモリモジュールは、実施の形態1、実施の形態2の場合よりもさらに伝送線路上の寄生容量を小さく抑えることができるため、伝送線路上の波形状みをさらに小さくすることができる。

【実施の形態4】図8は、実施の形態4のメモリモジュールにて用いられるFETスイッチ回路300の構成を示す回路図である。

【0072】図8を参照して、FETスイッチ回路300は、電源電位Vccと接地電位とを受けてクロック信号φを発生するリング発振回路22と、クロック信号φに応じて接地電位から接地電位よりさらに低いバックゲート電位VBBを発生するチャージポンプ回路152と、制御信号Sを受けて反転するインバータ304と、

インバータ304の出力信号と制御信号Sとを受けてレベル変換をするレベルシフト回路301と、レベルシフト回路301の出力を受けて電位VBBを発生する駆動回路302と、制御信号Sをゲートに受けバックゲートに電位VBBが与えられたMOSFET306とを含む。

【0073】MOSFET306はノードNAとノードNBとの間に接続される。レベルシフト回路301は、電源電位Vccと接地電位との間でもとに変化する制御信号Sとインバータ304の出力信号とから、電源電位Vccと電位VBBとの間で変化する信号を生成する働きをする。

【0074】レベルシフト回路301において、ノードN71にはインバータ304の出力信号が与えられ、ノードN74にはチャージポンプ回路152が発生する負電位VBBが与えられる。

【0075】レベルシフト回路301は、ゲートがノードN71に接続されソースが電源電位Vccに結合されドレインがノードN72に接続されるPチャネルMOSトランジスタ311と、ノードN72とノードN74との間に接続されゲートがノードN73に接続されるNチャネルMOSトランジスタ312と、ゲートに制御信号Sを受けソースが電源電位Vccに結合されドレインがノードN73に接続されるPチャネルMOSトランジスタ309と、ノードN73とノードN74との間に接続されゲートがノードN72に接続されるNチャネルMOSトランジスタ310とを含む。ノードN73からは、レベルシフト回路301の出力信号が、駆動回路302に向けて出力される。

【0076】駆動回路302は、ゲートがノードN73に接続されノードN75とノードN74との間に接続されるNチャネルMOSトランジスタ308と、ゲートがノードN73に接続されソースが接地電位に結合されドレインがノードN75に接続されるPチャネルMOSトランジスタ307とを含む。ノードN75からは駆動回路302の出力電位である電位VBBが出力される。

【0077】リング発振回路22およびチャージポンプ回路152は、実施の形態2で用いられる回路と同様な構成を有するため説明は繰返さない。

【0078】なお、レベルシフト回路301の高電位電源である電源電位Vccと低電位電源である電位VBBとの間には、通常の電源電圧よりも大きな電圧がかかるので、NチャネルMOSトランジスタ310、312およびPチャネルMOSトランジスタ309、311の信頼性に影響が出ると考えられる場合には電源電位Vccを下げ、たとえば1/2Vcc、あるいは2/3Vcc等のレベルにしてもよい。

【0079】図9は、図8に示した回路の動作を説明するための動作波形図である。図8、図9を参照して、時刻t1以前においてFETスイッチに接続される半導体

装置が非選択状態のとき、すなわち制御信号Sが接地レベルのときは、PチャネルMOSトランジスタ309が導通状態となりノードN73の電位は電源電位Vccとなる。これによりPチャネルMOSトランジスタ307が非導通状態となり、NチャネルMOSトランジスタ308が導通状態となりノードN75の電位は負電位VBBとなる。

【0080】次に、時刻 t_1 ～ t_2 においてFETスイッチ回路に接続される半導体装置が選択状態、すなわち制御信号Sの電位が電源電位Vccとなると、PチャネルMOSトランジスタ309は非導通状態となる。一方インバータ304の出力であるノードN71は接地電位となるので、PチャネルMOSトランジスタ311は導通状態となる。したがって、ノードN72の電位は電源電位Vccとなり、応じてNチャネルMOSトランジスタ310が導通状態となる。そして、ノードN73の電位は負電位VBBとなる。この結果、PチャネルMOSトランジスタ307が導通状態となり、NチャネルMOSトランジスタ308が非導通状態となりノードN75の電位は接地電位となる。

【0081】以上説明したように、FETスイッチ回路300に接続される半導体装置が選択状態のときは、MOSFET306のバックゲート電位は接地電位となり、非選択状態のときは負電位VBBとなる。

【0082】先に説明した式(3)により、MOSFET306が非導通状態となる非選択時の寄生容量を低減できるのに加えて、MOSFET306が導通状態となる選択時においてはバックゲート電位の絶対値を小さくし、例えば図2に示したバックゲート電位を負電位としない場合と同じにできる。

【0083】したがって、MOSFET306の導通時にはバックゲート電圧印加によるしきい値電圧の増大はない。このため、MOSFET306の駆動能力の低下がないので、トランジスタの幅を大きくする必要がなく、寄生容量を小さくすることができる。

【0084】なお、図8では、駆動回路302の高電位側電源として接地電位が用いられている。この値は、MOSFET306のバックゲート電極とMOSFET306のソースあるいはドレインとの間の電位差がPN接合の拡散ポテンシャル（およそ0.7V）を超えない範囲であれば限定されない。たとえば、駆動回路302の高電位側電源の電源電位は0.5Vでもよい。この場合、0.5Vを発生する電源回路が必要になるが、MOSFET306のしきい値電圧を下げることができ、トランジスタの幅を小さくでき、さらに寄生容量を小さくできるという利点がある。

【0085】図10は、MOSFET306の実際のな構造例を示す図である。図10を参照して、P基板372の主表面上にはN型不純物領域382が設けられる。N型

不純物領域382は電源電位Vccに結合され、Nウェル384の電位も電源電位Vccにされる。

【0086】Nウェル384が形成されているP基板372の主表面上には、さらにPウェル386が形成される。Pウェル386の内部にはMOSFET306が形成される。このMOSFETはソース(S)であるN型不純物領域376と、ドレイン(D)であるN型不純物領域378と、ゲート(G)であるゲート電極374とを含む。またPウェル386内にはP型不純物領域380が形成されバックゲート電位が与えられる。

【0087】つまり、P基板372のバイアス電圧とMOSFETのバックゲート電圧とを別個に制御するために、MOSFET306は電源電位VccにバイアスされたNウェル384の内部にさらに設けられたPウェル384内に作られる。

【0088】実施の形態4では、制御信号Sに応じてMOSFET306のバックゲート電位を変化させる。MOSFETの導通時にはバックゲート電圧印加によるしきい値電圧の増大はない。このため、MOSFETの駆動能力の低下がないので、トランジスタの幅を大きくする必要がなく、寄生容量を小さくすることができる。

【0089】なお、今回開示された実施の形態は全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0090】

【発明の効果】請求項1、2に記載の半導体装置は、内蔵するFETスイッチのゲート電位を昇降電位で駆動するため、MOSFETのゲート幅を小さくすることができ、FETスイッチの寄生容量を小さくすることができるので、伝送線路の波形の歪みを小さくすることができる。

【0091】請求項3に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、内蔵するFETスイッチのバックゲート電位を駆動することによりFETスイッチの寄生容量をさらに小さくすることができる。したがって、伝送線路の波形の歪みをさらに小さく抑えることができる。

【0092】請求項4、5に記載の半導体装置は、内蔵するFETスイッチのバックゲート電位を駆動することによりFETスイッチの寄生容量を小さくすることができる。したがって、伝送線路の波形の歪みを小さく抑えることができる。

【0093】請求項6、7に記載の半導体装置は、内蔵するFETスイッチのゲート電位を昇降電位で駆動するため、MOSFETのゲート幅を小さくすることができ、FETスイッチの寄生容量を小さくすることができるので、伝送線路の波形の歪みを小さくすることができ

る。

【0094】請求項 8、9 に記載のメモリモジュールは、内蔵する FET スイッチのゲート電位を昇圧電位で駆動するため、MOSFET のゲート幅を小さくすることができ、FET スイッチの寄生容量を小さくすることができるので、伝送線路の波形の歪みを小さくすることができる。

【0095】請求項 10、11 に記載のメモリモジュールは、内蔵する FET スイッチのバックゲート電位を駆動することにより FET スイッチの寄生容量を小さくすることができる。したがって、伝送線路の波形の歪みを小さく抑えることができる。

【0096】請求項 12、13 に記載の半導体装置は、内蔵する MOSFET のバックゲート電位を MOSFET の導通状態に応じて駆動する。したがって、導通時における MOSFET のしきい値電圧を小さく抑えつつ、FET スイッチの寄生容量を小さくすることができる。したがって、伝送線路の波形の歪みを小さく抑えることができる。

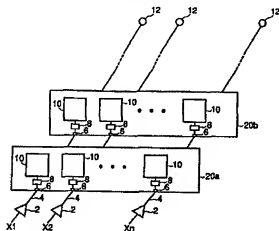
【0097】請求項 14、15 に記載のメモリモジュールは、内蔵する MOSFET のバックゲート電位を MOSFET の導通状態に応じて駆動する。したがって、導通時における MOSFET のしきい値電圧を小さく抑えつつ、FET スイッチの寄生容量を小さくすることができる。したがって、伝送線路の波形の歪みを小さく抑えることができる。

【図面の簡単な説明】

【図 1】 本発明の半導体装置を備えるメモリモジュールの構成を説明するための図である。

【図 2】 図 1 で示した FET スイッチ回路 8 の構成例を示す回路図である。

【図 1】



【図 3】 図 2 におけるリング発振回路 22 の構成を示す回路図である。

【図 4】 図 2 におけるチャージポンプ回路 24 の構成例を示す回路図である。

【図 5】 実施の形態 2 のメモリモジュールにて用いられる FET スイッチ回路 150 の構成を示す回路図である。

【図 6】 図 5 におけるチャージポンプ回路 152 の構成例を示す回路図である。

【図 7】 実施の形態 3 におけるメモリモジュールに用いられる FET スイッチ 250 の構成を示す回路図である。

【図 8】 実施の形態 4 のメモリモジュールにて用いられる FET スイッチ回路 300 の構成を示す回路図である。

【図 9】 図 8 に示した回路の動作を説明するための動作波形図である。

【図 10】 MOSFET 306 の実際の構成例を示す図である。

【図 11】 従来のメモリモジュールの概略の構成を説明するための図である。

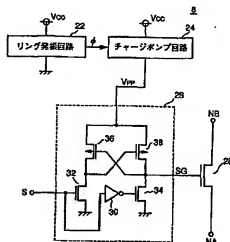
【図 12】 MOSFET の断面図を示す図である。

【図 13】 MOSFET の平面図を概略的に表わした図である。

【符号の説明】

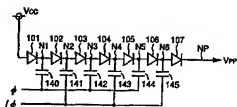
20a、20b メモリモジュール、10 半導体記憶装置、8、150、250、300 FET スイッチ回路、6 端子、4 伝送線路、2 バッファ、22 リング発振回路、24、152 チャージポンプ回路、26、301 レベルシフト回路、28、154、252 ~ 258、306 MOSFET、302 駆動回路。

【図 2】



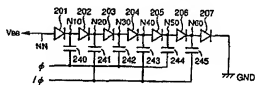
【圖4】

24



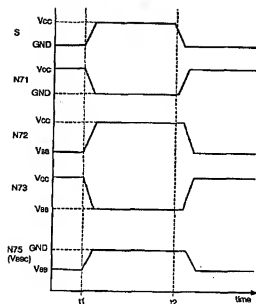
【圖 6】

152

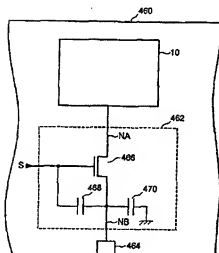


300

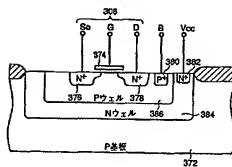
【図9】



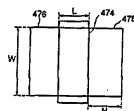
【図11】



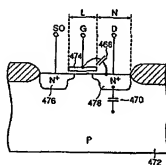
【図10】



【図13】



【図12】



フロントページの続き

(51) Int. Cl. 7

H01L 21/822

27/10

識別記号

495

F1

H01L 27/04

テ-73-1' (参考)

G

Fターム(参考) 5B015 KB09 KB63 KB66 KB93 QQ08

QQ11

5B024 AA15 BA23 BA27 CA03 CA10

CA27

5F038 AR27 AZ10 BE09 BG02 BG05

BG09 DF01 EZ07 EZ20

5F064 BB12 BB30 BB37 CC09 CC12

DD35 FF24

5F083 GA12 HA04 HA05 ZA23